

SYSTEM:OS - DIALOG One Search
File 351:Derwent WPI 1963-2002/UD,UM &UP=200275
(c) 2002 Thomson Derwent
***File 351: Alerts can now have images sent via all delivery methods.**
See HELP ALERT and HELP PRINT for more info.
File 345:Inpadoc/Fam.& Legal Stat 1968-2002/UD=200246
(c) 2002 EPO
File 347:JAPIO Oct 1976-2002/Jul(Updated 021104)
(c) 2002 JPO & JAPIO
***File 347: JAPIO data problems with year 2000 records are now fixed.**
Alerts have been run. See HELP NEWS 347 for details.
File 652:US Patents Fulltext 1971-1975
(c) format only 2002 The Dialog Corp.
File 654:US PAT.FULL. 1976-2002/Nov 19
(c) FORMAT ONLY 2002 THE DIALOG CORP.
***File 654: is redesigned with new search and display features. See**
HELP NEWS654 for details. Reassignments current through Jun. 7, 2002.

Set	Items	Description
---	---	-----
?s	an,pn=jp	8273523
		2 AN=JP 8273523
		3 PN=JP 8273523
S1		5 AN,PN=JP 8273523

?t s1/5/all

1/5/1 (Item 1 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.

010859369 **Image available**
WPI Acc No: 1996-356320/199636

Related WPI Acc No: 1999-510687

XRAM Acc No: C96-112300

XRXPX Acc No: N96-300505

Electron emitter for e.g. image forming appts. - includes an additional resistive film in the emitting region between electrodes to control current flow between the electrodes

Patent Assignee: CANON KK (CANO)

Inventor: TSUKAMOTO T

Number of Countries: 009 Number of Patents: 009

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 725413	A1	19960807	EP 96300626	A	19960130	199636	B
JP 8273523	A	19961018	JP 9631214	A	19960126	199701	
CN 1137213	A	19961204	CN 96101341	A	19960131	199805	
US 5986389	A	19991116	US 96594294	A	19960130	200001	
EP 725413	B1	19991222	EP 96300626	A	19960130	200004	
			EP 99201987	A	19960130		
DE 69605691	E	20000127	DE 605691	A	19960130	200012	
			EP 96300626	A	19960130		
KR 188977	B1	19990601	KR 962350	A	19960131	200055	
US 6231413	B1	20010515	US 96594294	A	19960130	200129	
			US 99404833	A	19990924		
US 6435928	B1	20020820	US 96594294	A	19960130	200257	
			US 99404833	A	19990924		
			US 2000633152	A	20000804		

Priority Applications (No Type Date): JP 9631214 A 19960126; JP 9532800 A 19950131

Cited Patents: EP 316214; EP 660357; US 5396150

Patent Details:

Patent No	Kind	Lat	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 725413	A1	E	45	H01J-001/30	
-----------	----	---	----	-------------	--

Designated States (Regional): DE FR GB IT NL

JP 8273523	A	25		H01J-001/30	
------------	---	----	--	-------------	--

CN 1137213	A			H04N-009/30	
------------	---	--	--	-------------	--

US 5986389	A			H01J-001/30	
------------	---	--	--	-------------	--

BLANK PAGE

EP 725413 B1 E J-001/30 Related to application P 99201987
 Related to patent EP 944106

Designated States (Regional): DE	FR GB IT NL
DE 69605691 E	H01J-001/30 Based on patent EP 725413
KR 188977 B1	H01J-017/49
US 6231413 B1	H01J-009/02 Div ex application US 96594294
US 6435928 B1	H01J-009/02 Div ex patent US 5986389
	Div ex application US 96594294
	Div ex application US 99404833
	Div ex patent US 5986389
	Div ex patent US 6231413

Abstract (Basic): EP 725413 A

Electron emitter has a pair of electrodes (2, 3) with a conductive film (4) between and an additional film (7) at the emitting region (6) to provide additional resistance of 500 ohm to 100 kohm. The additional film controls current flow between the electrodes and pref. contains a semiconductor or metal oxide.

USE - In an image forming appts. having an array of electron emitters. (claimed).

ADVANTAGE - Emitters have reduced fluctuation in emission current and are less prone to degradation. The additional film resistor can be formed after an energisation forming operation.

Dwg.1A/23

Title Terms: ELECTRON; Emitter; IMAGE; FORMING; APPARATUS; ADD; RESISTOR; FILM; EMIT; REGION; ELECTRODE; CONTROL; CURRENT; FLOW; ELECTRODE

Derwent Class: L03; V05

International Patent Class (Main): H01J-001/30; H01J-009/02; H01J-017/49; H04N-009/30

International Patent Class (Additional): H01J-019/10; H01J-019/24; H01J-031/12

File Segment: CPI; EPI

1/5/2 (Item 1 from file: 345)
 DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
 (c) 2002 EPO. All rts. reserv.

13140418
 Basic Patent (No,Kind,Date): EP 725413 A1 19960807 <No. of Patents: 012>

PATENT FAMILY:

CHINA (CN)

Patent (No,Kind,Date): CN 1137213 A 19961204
 ELECTRON-EMITTING DEVICE AS WELL AS ELECTRON SOURCE AND IMAGE-FORMING APPARATUS USING SUCH DEVICE (English)
 Patent Assignee: CANON KK (JP)
 Author (Inventor): TSUKAMOTO TAKEO (JP)
 Priority (No,Kind,Date): JP 9532800 A 19950131; JP 9631214 A 19960126
 Applic (No,Kind,Date): CN 96101341 A 19960131
 IPC: * H04N-009/30
 CA Abstract No: * 125(18)234545H
 Derwent WPI Acc No: * C 96-356320
 Language of Document: Chinese

GERMANY (DE)

Patent (No,Kind,Date): DE 69605691 CO 20000127
 ELEKTRONEN-EMITTIERENDE VORRICHTUNG SOWIE ELEKTRONENQUELLE UND BILDERZEUGUNGSGERAET, DIE SOLCHE VORRICHTUNGEN BENUTZEN (German)
 Patent Assignee: CANON KK (JP)
 Author (Inventor): TSUKAMOTO TAKEO (JP)
 Priority (No,Kind,Date): JP 9532800 A 19950131; JP 9631214 A 19960126
 Applic (No,Kind,Date): DE 69605691 A 19960130
 IPC: * H01J-001/30
 CA Abstract No: * 125(18)234545H
 Derwent WPI Acc No: * C 96-356320; C 99-510687

BLANK PAGE

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-273523

(43)公開日 平成8年(1996)10月18日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I
H 0 1 J	1/30	H 0 1 J	1/30
	9/02		9/02
	31/12		31/12

技術表示箇所

F I
H O 1 J 1/30
9/02
31/12

B
B
C

(21)出願番号	特願平8-31214	(71)出願人	000001007 キヤノン株式会社 東京都大田区下丸子
(22)出願日	平成8年(1996)1月26日	(72)発明者	塚本 健夫 東京都大田区下丸子
(31)優先権主張番号	特願平7-32800	(73)代理入	ノン株式会社内
(32)優先日	平7(1995)1月31日	(74)代理人	弁理士 豊田 善雄
(33)優先権主張国	日本(JP)		

(71)出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号

(72)発明者 塚本 健夫
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
（公）代理人 齋藤 義雄（外1名）

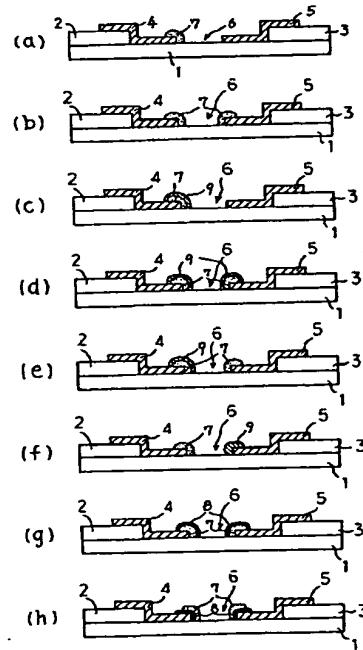
(74)代理人 弁理士 豊田 善雄 (外1名)

(54)【発明の名称】電子放出素子、及びそれを用いた電子源並びに画像形成装置

(57) 【要約】

【課題】 放出電流の揺らぎが低減され、放出特性の劣化が防止された電子放出素子を提供する。

【解決手段】電子放出素子の、少なくとも低電位側の導電性薄膜4の電子放出部6側端部に、抵抗成分を有する被膜7を形成し、 500Ω ～ $100\text{ k}\Omega$ の抵抗を付加する。



1
【特許請求の範囲】

【請求項1】 電極間に、電子放出部を有する導電性膜を備える電子放出素子において、

前記導電性膜の電子放出部に被膜を有し、前記被膜により、 500Ω ～ $100k\Omega$ の範囲内の抵抗が付加されていることを特徴とする電子放出素子。

【請求項2】 前記被膜は、前記電極間に流れる電流を制御する被膜である請求項1に記載の電子放出素子。

【請求項3】 前記被膜は、半導体を含む被膜である請求項1又は2に記載の電子放出素子。

【請求項4】 前記被膜は、金属酸化物を含む被膜である請求項1又は2に記載の電子放出素子。

【請求項5】 前記導電性膜の電子放出部に、更に、炭素あるいは炭素化合物を含む被膜を有する請求項1～4のいずれかに記載の電子放出素子。

【請求項6】 前記導電性膜の電子放出部に、更に、金属を含む被膜を有する請求項1～4のいずれかに記載の電子放出素子。

【請求項7】 前記金属は、前記導電性膜の構成材料よりも高い融点を有する金属である請求項6に記載の電子放出素子。

【請求項8】 前記電子放出素子は、表面伝導型電子放出素子である請求項1～7のいずれかに記載の電子放出素子。

【請求項9】 基板上に、複数の電子放出素子が配置された電子源において、前記電子放出素子が、請求項1～8のいずれかに記載の電子放出素子であることを特徴とする電子源。

【請求項10】 前記電子放出素子に付加された抵抗値は、前記複数の電子放出素子間を結線する配線の抵抗値よりも大きい請求項9に記載の電子源。

【請求項11】 基板上に、複数の電子放出素子が配置された電子源と、前記電子源から放出される電子線の照射により画像を形成する画像形成部材とを有する画像形成装置において、前記電子放出素子が、請求項1～8のいずれかに記載の電子放出素子であることを特徴とする画像形成装置。

【請求項12】 前記電子放出素子に付加された抵抗値は、前記複数の電子放出素子間を結線する配線の抵抗値よりも大きい請求項11に記載の画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電子放出素子であり、とりわけ、放出電流の安定性に優れた電子放出素子に関する発明であり、更には、この電子放出素子を用いた電子源及び画像形成装置に関する。

【0002】

【従来の技術】 従来より、電子放出素子としては大別して熱電子放出素子と冷陰極電子放出素子を用いた2種類のものが知られている。冷陰極電子放出素子には電界放

出型（以下、「FE型」という。）、金属／絶縁層／金属型（以下、「MIM型」という。）や表面伝導型電子放出素子等がある。FE型の例としてはW. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956) あるいはC. A. Spindt, "PHYSICAL Properties of thin-film fields emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) 等に開示されたものが知られている。

【0003】 MIM型の例としてはC. A. Mead, "Operation of Tunnel-Emission Devices", J. Appl. Phys., 32, 646 (1961) 等に開示されたものが知られている。

【0004】 表面伝導型電子放出素子型の例としては、M. I. Elinson, Recio Eng. Electron Phys., 10, 1290 (1965) 等に開示されたものがある。

【0005】 表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリンソン等による SnO_2 薄膜を用いたもの、 Au 薄膜によるもの[G. Dittmer: "Thin Solid Films" 9, 317 (1972)], $\text{In}_2\text{O}_3/\text{SnO}_2$ 薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf." 519 (1975)]、カーボン薄膜によるもの[荒木久他: 真空、第26巻、第1号、22頁(1983)]等が報告されている。

【0006】 これらの表面伝導型電子放出素子の典型的な例として前述のM. ハートウェルの素子構成を図24に模式的に示す。同図において201は基板である。202は導電性薄膜で、H型形状のパターンに、スパッタで形成された金属酸化物薄膜等からなり、後述の通電フォーミングと呼ばれる通電処理により電子放出部203が形成される。尚、図中の素子電極間隔Gは、0.5～1mm、W'は、0.1mmで設定されている。

【0007】 従来、これらの表面伝導型電子放出素子においては、電子放出を行う前に導電性薄膜202を予め通電フォーミングと呼ばれる通電処理によって電子放出部203を形成するのが一般的であった。即ち、通電フォーミングとは前記導電性薄膜202両端に直流電圧あるいは非常にゆっくりとした昇電圧例えば1V/分程度を印加通電し、導電性薄膜を局所的に破壊、変形もしくは変質せしめ、電気的に高抵抗な状態にした電子放出部203を形成することである。尚、電子放出部203は

導電性薄膜202の一部に亀裂が発生しその亀裂付近から電子放出が行われる。前記通電フォーミング処理をした表面伝導型電子放出素子は、上述導電性薄膜202に電圧を印加し、素子に電流を流すことにより、上述電子放出部203より電子を放出せしめるものである。

【0008】表面伝導型電子放出素子としては、本出願人による出願、特開平6-141670号公報に記載された素子がある。これは、基体上に、導電体により形成された、対向して配置された一対の素子電極を有し、これら素子電極とは別に、両電極をつないで形成された導電性薄膜を、通電フォーミング処理して電子放出部を形成した構成の素子である。

また、この素子では、フォーミングにより電子放出部を作成した後に、「活性化」と呼ばれる処理を施すにより、素子から放出される電子ビームの強度を、著しく改善することができる。これは、真空中に素子を設置して、上記素子電極間にパルス電圧の印加を行う処理であるが、これにより真空中に存在する有機物質から、炭素あるいは炭素化合物が電子放出部近傍に堆積し、好ましい電子放出特性を示すようになる。

【0009】この素子は、M. ハートウェルの素子に比べ、電子放出部を含む導電性薄膜が、電極とは別に形成されることにより、フォーミング処理を再現性よく行うのに適した材質、たとえば導電性微粒子膜を用いることが可能で、多数の表面伝導型電子放出素子を作成した場合の電子放出特性の再現性などの点で優れたものである。

【0010】

【発明が解決しようとする課題】しかしながら、表面伝導型電子放出素子の放出電流 I_0 の揺らぎは、必ずしも十分に抑制されているとは言えない。表面伝導型電子放出素子から放出される電子ビームの強度は絶えず揺らいでおり、 I_0 の平均値 $<I_0>$ と、この平均値からのズレ ΔI_0 の比率、 $\Delta I_0 / <I_0>$ は、上記本出願人の素子に後述する安定化処理を十分施した状態において、典型的な値は約10%である。

【0011】この値が、小さいほど、電子ビームの強度の制御はより緻密に行うことができ、より広範な応用に適用が可能となる。

【0012】また、表面伝導型電子放出素子の電子放出特性は、その素子に印加された最大の電圧に依存して、不可逆的に変化するという、一種のメモリー効果を示す場合がある。放出電流 I_0 の揺らぎは、素子の電子放出部に実効的にかかる電圧の揺らぎを伴う場合があり、従って、この揺らぎにより瞬間に大きな電圧がかかった後、電子放出特性が変化てしまい、これを繰り返すと電子放出特性が徐々に劣化する場合がある。

【0013】この様な放出電流 I_0 の揺らぎ及び劣化の原因としては、(1) 真空中に残存する気体分子などの電子放出部への吸着と脱離による仕事関数の変化、

(2) イオンポンバードによる電子放出部の変形、(3) 電子放出部を構成する原子の拡散、移動などが考えられる。

【0014】従来この様な放出電流 I_0 の揺らぎ及び劣化を抑制するための工夫としては、素子に直列に外部抵抗を接続する方法が検討された。しかしながら、複数の電子放出素子を集積した電子源の場合、一つの外部抵抗を電子源と直列に接続する方法では、個々の素子の I_0 の揺らぎを十分抑制することはできないため、解決策としては満足できるものではなかった。

【0015】この点を改善する方法として、集積された素子に個別に抵抗を付属させる方法が考えられる。しかし、すべての抵抗の抵抗値を均一に揃えることは、難しい技術であり、かえって素子毎の特性のバラツキを招く恐れがある。また、自由に取り外すことができないので、抵抗を付属させたまま、フォーミング処理を行なってはならず、最適なフォーミングを行えない場合もある。

【0016】この様な問題点に鑑み、複数の素子を配列した場合にも個々の素子毎に付属させた抵抗が形成でき、必要に応じてフォーミング処理の後に形成しうるような構成の、素子の構成及び製造方法の確立が求められていた。

【0017】本発明の目的は放出電流の揺らぎの低減された電子放出素子を提供することにある。

【0018】更に本発明の目的は、放出特性の劣化の少ない電子放出素子を提供することにある。

【0019】

【課題を解決するための手段】上記課題を解決するためになされた本発明の第1は、電極間に、電子放出部を有する導電性膜を備える電子放出素子において、前記導電性膜の電子放出部に被膜を有し、前記被膜により、 $500\Omega \sim 100k\Omega$ の範囲内の抵抗が付加されている電子放出素子である。

【0020】また、本発明の第2は、上記電子放出素子の複数が基板上に配置された電子源である。

【0021】また、本発明の第3は、上記電子源と、該電子源から放出される電子線の照射により、画像を形成する画像形成部材を有する画像形成装置である。

【0022】本発明の第1の実施態様の例は、電子放出素子の導電性薄膜の電子放出部に臨む端部の、少なくとも低電位側に、抵抗成分を有する被膜を形成した表面伝導型電子放出素子である。該抵抗成分を有する被膜は導電性薄膜の端部の高電位側にも形成されても良く、この被膜の形成により、素子が実際に電子放出を行う状態で、対向して形成された素子電極間に、 $500\Omega \sim 100k\Omega$ の抵抗が付加されるように形成される。

【0023】なお、電界放出型電子放出素子(FE素子)においても、同様な放出電流 I_0 の揺らぎがあり、50 その解決策として例えば陰極構体の下に抵抗層を付加す

5
ることが、行われている。FE素子においては素子に流れる電流は、放出電流そのものが支配的であるため、0.1～1 μ A程度の I_s に対し、放出電流を制御するための抵抗値として、1 M Ω オーダーから数十M Ω の値が採用されている。

【0024】表面伝導型電子放出素子では、素子に流れる電流 I_s に伴って、1 μ Aオーダーの I_s が生ずる。検討の結果、 I_s の値にあわせた適当な抵抗値を付加することにより I_s の揺らぎを抑制することにより、 I_s の揺らぎをも抑制しうることが判明した。付加する抵抗値が大きいほど、揺らぎの抑制効果も大きいが、付加抵抗値が100 k Ω 以上となると、これによる電圧降下が100Vを超え、素子の駆動電圧を大幅に引き上げてしまうため、実用上好ましくない。

【0025】素子の構成としてはさらに、前述の活性化処理の結果として、炭素あるいは炭素化合物の被膜が形成されていても良く、この炭素あるいは炭素化合物の被膜が、上記抵抗成分を有する被膜の上に形成された構成、あるいは導電性薄膜の上に上記炭素あるいは炭素化合物の被膜が形成され、その上に上記抵抗成分を有する被膜が形成された構成のいずれの場合にも、効果を得ることができる。また、上記炭素あるいは炭素化合物に変えて、金属被膜を形成することにより、活性化処理を行っても良い。この場合、被膜の材質として、W、Mo、Nbなどの高融点金属を用いて、導電性薄膜の変形、変質などによる特性の低下を抑制したり、アルカリ土類金属などの仕事関数の低い材質を用いて、放出電流の向上を図ったりすることも可能である。

【0026】上記の素子を、基板上に複数集積した電子源においては、配線の有する抵抗値よりも、上記付加抵抗の値が大きい方が望ましい。

【0027】

【発明の実施の形態】本発明を図面を用いて更に具体的に説明する。本発明を適用する表面伝導型電子放出素子は、平面型および垂直型に大別される。先ず平面型の素子について説明する。

【0028】図2は、本発明を適用する平面型の表面伝導型電子放出素子の構成を示す模式図であり、図2aは平面図、図2bは断面図である。

【0029】図2において1は基板、2と3は低電位側及び高電位側の素子電極、4と5は低電位側及び高電位側の導電性薄膜、6は電子放出部である。

【0030】基板1としては、石英ガラス、Na等の不純物含有量を減少したガラス、青板ガラス、青板ガラスにスパッタ法等により形成したSiO₂を積層したガラス基板及びアルミナ等のセラミックス及びSi基板等を用いることができる。

【0031】対向する素子電極2、3の材料としては、一般的な導体材料を用いることができる。これは例えばNi、Cr、Au、Mo、W、Pt、Ti、Al、C

50
u、Pd等の金属或は合金及びPd、Ag、Au、RuO₂、Pd-Ag等の金属或は金属酸化物とガラス等から構成される印刷導体、In₂O₃-SnO₂等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択することができる。

【0032】素子電極間隔L、素子電極長さW、導電性薄膜4、5の形状等は、応用される形態等を考慮して、設計される。素子電極間隔Lは、好ましくは、数百nmから数百 μ mの範囲とすることができる。より好ましくは、数 μ mから数十 μ mの範囲とすることができる。

【0033】素子電極長さWは、電極の抵抗値、電子放出特性を考慮して、数 μ mから数百 μ mの範囲とすることができる。素子電極2、3の膜厚dは、数十から数 μ mの範囲とすることができる。

【0034】尚、図2に示した構成だけでなく、基板1上に、導電性薄膜4、5、対向する素子電極2、3の順に積層した構成とすることもできる。

【0035】導電性薄膜4、5には、良好な電子放出特性を得るために、微粒子で構成された微粒子膜を用いるのが好ましい。その膜厚は、素子電極2、3へのステップカバーレージ、素子電極2、3間の抵抗値及び後述するフォーミング条件等を考慮して適宜設定されるが、通常は、0.1 nmの数倍から数百nmの範囲とするのが好ましく、より好ましくは1 nmより50 nmの範囲とするのが良い。その抵抗値は、R_dが10²から10⁷ Ω /□の値である。なおR_dは、幅がwで長さがlの薄膜の、長さlの方向に測定した抵抗Rを、R=R_d(1/w)とおいたときに現れる量である。本願明細書において、フォーミング処理については、通電処理を例に挙げて説明するが、フォーミング処理はこれに限られるものではなく、膜に亀裂を生じさせて高抵抗状態を形成する処理を包含するものである。

【0036】導電性薄膜4、5を構成する材料は、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属、PdO、SnO₂、In₂O₃、PbO、Sb₂O₃等の酸化物、HfB₂、ZrB₂、LaB₆、CeB₆、YB₆、Gd₂B₁₅等の硼化物、TiC、ZrC、HfC、Ta、C、SiC、WC等の炭化物、TiN、ZrN、HfN等の窒化物等の中から適宜選択される。

【0037】ここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造は、微粒子が個々に分散配置した状態あるいは微粒子が互いに隣接、あるいは重なり合った状態(いくつかの微粒子が集合し、全体として島状構造を形成している場合も含む)をとっている。微粒子の粒径は、0.1 nmの数倍から数百nmの範囲、好ましくは、1 nmから2 nmの範囲である。

【0038】なお、本明細書では頻繁に「微粒子」という言葉を用いるので、その意味について説明する。

【0039】小さな粒子を「微粒子」と呼び、これより

も小さなものと「超微粒子」と呼ぶ。「超微粒子」よりもさらに小さく原子の数が数百個以下のものを「クラスター」と呼ぶことは広く行われている。

【0040】しかしながら、それぞれの境は厳密なものではなく、どの様な性質に注目して分類するかにより変化する。また「微粒子」と「超微粒子」を一括して「微粒子」と呼ぶ場合もあり、本明細書中の記述はこれに沿ったものである。

【0041】「実験物理学講座14 表面・微粒子」(木下是雄 編、共立出版 1986年9月1日発行)では次のように記述されている。

【0042】「本稿で微粒子と言うときにはその直径がだいたい2~3μm程度から10nm程度までとし、特に超微粒子というときには粒径が10nm程度から2~3μm程度までを意味することにする。両者を一括して単に微粒子と書くこともあってけつして厳密なものではなく、だいたいの目安である。粒子を構成する原子の数が2個から数十~数百個程度の場合はクラスターと呼ぶ。」(195ページ22~26行目)

付言すると、新技術開発事業団の「林・超微粒子プロジェクト」での「超微粒子」の定義は、粒径の下限はさらに小さく、次のようなものであった。

【0043】「創造科学技術推進制度の“超微粒子プロジェクト”(1981~1986)では、粒子の大きさ(径)がおよそ1~100nmの範囲のものを“超微粒子”(ultra fine particle)と呼ぶことにした。すると1個の超微粒子はおよそ100~10¹¹個くらいの原子の集合体という事になる。原子の尺度でみれば超微粒子は大~巨大粒子である。」(「超微粒子-創造科学技術-」林主税、上田良二、田崎明 編; 三田出版 1988年 2ページ1~4行目)「超微粒子より更に小さいもの、すなわち原子が数個~数百個で構成される1個の粒子は、ふつうクラスターと呼ばれる」(同書2ページ12~13行目)上記のような一般的な呼び方をふまえて、本明細書において「微粒子」とは多数の原子・分子の集合体で、粒径の下限は0.1nmの数倍から1nm程度、上限は数μmのものを指すこととする。

【0044】電子放出部6は、低電位側及び高電位側の導電性薄膜4、5の間に形成された高抵抗の亀裂により構成され、導電性薄膜4、5の膜厚、膜質、材料及び後述する通電フォーミング等の手法等に依存したものとなる。電子放出部6の内部には、0.1nmの数倍から數十nmの範囲の粒径の導電性微粒子が存在する場合もある。この導電性微粒子は、導電性薄膜4、5を構成する材料の元素の一部、あるいは全ての元素を含有するものとなる。

【0045】図1(a)~(h)は、電子放出部近傍の構成を示す模式図であり、本発明の電子放出素子の実施態様の典型的な例を示すものである。

【0046】図1(a)は、本発明の電子放出素子の最も基本的な構成を示す模式図で、低電位側の導電性薄膜4の電子放出部6に、抵抗成分を有する被膜7が形成されている。この被膜の厚さや被膜を形成する材質の抵抗率を制御して、この被膜により素子に付加される抵抗値を調整する事により、所望の特性とする。

【0047】この被膜の材質としては、好ましくは半導体材料、あるいは金属酸化物などが用いられ、半導体材として特に、Si, Geが好ましく用いられる。半導体材料を用いる場合は、不純物の濃度を調整することにより抵抗率を制御する事が可能である。金属酸化物を用いる場合は、酸素含有量の化学量論的組成からのズレを制御したり、金属と酸化物の混合物を形成し、混合比率を制御することにより抵抗率を調整することができる。

【0048】電子放出部6の微細な構造は示していないが、前述のように微粒子が分散されていても良い。

【0049】図1(b)は、高電位側の導電性薄膜5の電子放出部6にも抵抗成分を有する被膜7を形成したもので、この様な構成をとることも可能である。

【0050】図1(c)は、図1(a)の様に抵抗成分を有する被膜7を低電位側の導電性薄膜4の電子放出部6に形成した後、更に、活性化処理により金属被膜9を形成したものである。この図では低電位側のみに2種の被膜7, 9が形成されているが、図1(d)の様に高電位側の導電性薄膜5の電子放出部6にも、同様に形成された構成も可能である。

【0051】活性化処理は、この様に金属の被膜、あるいは後述のように炭素または炭素化合物の被膜を形成することにより素子に流れる電流I₁および素子からの電子放出による電流I₂を著しく増加させるもので、本構成は応用上重要である。

【0052】図1(e)は、抵抗成分を有する被膜7を低電位側及び高電位側の導電性薄膜4, 5の電子放出部に形成した後、一方の(図では低電位側)導電性薄膜の電子放出部にのみ金属被膜9が形成されたものである。

【0053】図1(f)は、低電位側の導電性薄膜4の電子放出部6に抵抗成分を有する膜7が、高電位側の導電性薄膜5の電子放出部6に金属被膜9が形成された場合を示す。

【0054】図1(g)は、図1(b)の様に低電位側及び高電位側の導電性薄膜4, 5の電子放出部6に抵抗成分を有する被膜7を形成した上に、更に、活性化処理により炭素あるいは炭素化合物の被膜8を形成したものである。

【0055】図1(h)は、図1(g)の抵抗成分を有する被膜7と、炭素あるいは炭素化合物よりなる被膜8の積層の順序を逆にしたものである。

【0056】なお、図1(g)及び図1(h)は、抵抗成分を有する膜7及び、炭素あるいは炭素化合物よりな

る被膜8が、低電位側、高電位側の双方に形成された場合を示しているが、高電位側の抵抗成分を有する被膜7、いずれか一方の側の炭素あるいは炭素化合物の被膜8がない場合もある。

【0057】本発明の具体的な形態は、ここに示したものに限定されるものではなく、本発明の主旨に合致する範囲での様々な変形が可能であり、いずれも前述の課題を解決しうる。

【0058】次に、垂直型の表面伝導型電子放出素子について説明する。

【0059】図3は、本発明を適用できる垂直型の表面伝導型電子放出素子の一例を示す模式図である。

【0060】11は、段差形成部である。基板1、素子電極2及び3、導電性薄膜4および5、電子放出部6は、前述した平面型の表面伝導型電子放出素子の場合と同様の材料で構成することができる。段差形成部11は、真空蒸着法、印刷法、スパッタ法等で形成されたSiO₂等の絶縁性材料で構成することができる。段差形成部11の膜厚は、先に述べた平面型の表面伝導型電子放出素子の素子電極間隔に対応し、数百nmから数十μmの範囲とすることができる。この膜厚は、段差形成部の製法、及び、素子電極間に印刷する電圧を考慮して設定されるが、数十nmから数μmの範囲が好ましい。

【0061】導電性薄膜4および5は、素子電極2及び3と段差形成部11の作成後に、該素子電極2、3の上に積層される。電子放出部6は、段差形成部11に形成されているが、作成条件、フォーミング条件等に依存し、形状、位置ともこれに限られるものでない。

【0062】上述の表面伝導型電子放出素子の製造方法としては様々な方法があるが、その一例を図4に模式的に示す。

【0063】以下、図2及び図4を参照しながら製造方法の一例について説明する。図4においても、図2に示した部位と同じ部位には図2に付した符号と同一の符号を付している。

【0064】1) 基板1を洗剤、純水および有機溶剤等を用いて十分に洗浄し、真空蒸着法、スパッタ法等により素子電極材料を堆積後、例えばフォトリソグラフィー技術を用いて基板1上に素子電極2、3を形成する(図4(a))。

【0065】2) 素子電極2、3を設けた基板1に、有機金属溶液を塗布して、有機金属薄膜を形成する。有機金属溶液には、前述の導電性薄膜4、5の材料の金属を主元素とする有機金属化合物の溶液を用いることができる。有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりバーニングし、フォーミング処理前の導電性薄膜12を形成する(図4(b))。ここでは、有機金属溶液の塗布法を挙げて説明したが、導電性薄膜12の形成法はこれに限られるものでなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディ

ッピング法、スピナーフラ等を用いることもできる。

【0066】3) つづいて、フォーミング工程を施す。

【0067】これ以降の工程は、図6に模式的に示す、真空処理装置を用いて行う。この真空処理装置は測定評価装置としての機能をも兼ね備えている。図6において、26は真空容器であり、27は排気ポンプである。真空容器26内には電子放出素子が配されている。即ち、1は基体であり、2及び3は低電位側及び高電位側の素子電極、4、5は低電位側及び高電位側の導電性薄膜、6は電子放出部である。21は、電子放出素子に素子電圧V₁を印加するための電源、22は素子電極2、3間の導電性薄膜4、5を流れる素子電流I₁を測定するための電流計、25は素子の電子放出部6より放出される放出電流I₂を捕捉するためのアノード電極である。23はアノード電極25に電圧を印加するための高圧電源、24は素子の電子放出部6より放出される電子ビームに伴う放出電流I₃を測定するための電流計である。一例とて、アノード電極の電圧を1kV～10kVの範囲とし、アノード電極と電子放出素子との距離Hを2～8mmの範囲として測定を行うことができる。

【0068】真空容器26内には、不図示の真空計等の真空雰囲気下での測定に必要な機器が設けられていて、所望の真空雰囲気下での測定評価を行えるようになっている。排気ポンプ27は、ターボポンプ、ロータリーポンプからなる通常の高真空装置系と更に、イオンポンプ等からなる超高真空装置系とにより構成されている。ここに示した電子源基板を配した真空処理装置の全体は、不図示のヒーターにより加熱できる。従って、この真空処理装置を用いると、前述の通電フォーミング以降の工程も行うことができる。28は、必要に応じて真空装置内に導入する物質を貯蔵しておく物質源で、アンブル又はポンベを用いる。29は該導入物質の導入量を調整するためのバルブである。

【0069】このフォーミング工程の方法の一例として通電処理による方法を説明する。素子電極2、3間に、不図示の電源を用いて、通電を行うと、導電性薄膜の一部に、構造の変化した電子放出部6が形成される(図4(c))。通電フォーミングによれば導電性薄膜に局所的に破壊、変形もしくは変質等の構造の変化した部位が形成される。該部位が電子放出部6を構成する。通電フォーミングの電圧波形の例を図5(a)、(b)に示す。

【0070】電圧波形は、パルス波形が、好ましい。これにはパルス波高値を定電圧としたパルスを連続的に印加する図5(a)に示した手法とパルス波高値を増加させながら、電圧パルスを印加する図5(b)に示した手法がある。

【0071】図5(a)におけるT₁及びT₂は電圧波形のパルス幅とパルス間隔である。通常T₁は1μmsec.～10μmsec.、T₂は、10μmsec.～1

0 m sec. の範囲で設定される。三角波の波高値(通電フォーミング時のピーク電圧)は、表面伝導型電子放出素子形態に応じて適宜選択される。このような条件のもと、例えば、数秒から数十分間電圧を印加する。パルス波形は三角波に限定されるものではなく、矩形波などの所望波形を採用することができる。

【0072】図5(b)における T_1 及び T_2 は、図5(a)に示したのと同様とすることができる。三角波の波高値(通電フォーミング時のピーク電圧)は、例えば0.1Vステップ程度ずつ、増加させることができる。

【0073】通電フォーミング処理の終了は、パルスと次のパルスの間に、導電性薄膜12を局的に破壊、変形しない程度の電圧を印加し、電流を測定して検知することができる。例えば0.1V程度の電圧印加により流れの素子電流を測定し、抵抗値を求めて、1MΩ以上の抵抗を示した時、通電フォーミングを終了させる。

【0074】4) フォーミング処理につづいて、低電位側の導電性薄膜4の電子放出部6に臨む端部に抵抗成分を有する被膜7を形成する。必要に応じて、高電位側導電性薄膜5の端部にも形成する場合もある。

【0075】真空容器26内を一旦排気装置27によって排気し、圧力を 10^{-3} Paないしそれ以下とする。この後、該被膜7の材質として例えばSiを堆積させる場合には、 $SiCl_4$, SiH_2Cl_2 , $SiHCl_3$, SiH_4 等の化合物の上記を真空容器26内に導入し、素子電極2, 3の間にパルス電圧を印加すると、Siが徐々に堆積する。この後適当な温度に加熱することにより、膜質を改善し安定性を増すことも可能である。

【0076】なお、この様に、パルス電圧を印加して、半導体被膜を堆積させる方法によれば、素子を複数まとめて処理する場合(後述の電子源の場合など)、元々の素子の抵抗にバラツキがあった場合、低抵抗の素子ほど電流が多く流れ、抵抗成分を有する被膜は厚く形成される。このため、結果的に抵抗成分のバラツキが小さくなる、均一性の改善にも効果がある。

【0077】また、該被膜7の材質として、金属酸化物を用いる場合は、揮発性の高い金属化合物を導入し、同時に適当な分圧で酸素も導入して、パルス電流を印加することで、金属酸化物を堆積させねばよい。

【0078】また、金属化合物と同時に窒素、あるいはアンモニアガスを導入することにより金属窒化物を、あるいは CH_4 などの炭化水素ガスを導入することにより、金属炭化物を形成することができる。

【0079】揮発性の高い金属化合物としては、金属のハロゲン化物、有機化合物などを用いることができる。具体的には、 $AlCl_3$, $TiCl_4$, $ZrCl_4$, $TaCl_5$, $MoCl_5$, WF_6 、トリイソブチルアルミ、ジメチルアルミニウムハイドライド、 $Mo(CO)_6$, $W(CO)_6$, $(PtCl_2)_2(CO)_2$ などを挙げることができる。

【0080】5) つづいて、活性化工程と呼ばれる処理を施すのが好ましい。活性化工程とは、この工程により、素子電流 I_1 , 放出電流 I_2 が、著しく変化する工程である。

【0081】活性化工程は、例えば、有機物質のガスを含有する雰囲気下で、通電フォーミングと同様に、パルスの印加を繰り返すことで行うことができる。この雰囲気は、例えば油抜散ポンプやロータリーポンプなどを用いて真空容器内を排気した場合に雰囲気内に残留する有機ガスを利用して形成することができる他、イオンポンプなどにより一旦十分に排気した真空中に適当な有機物質のガスを導入することによっても得られる。このときの好ましい有機物質のガス圧は、前述の応用の形態、真空容器の形状や、有機物質の種類などにより異なるため場合に応じ適宜設定される。適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン酸、スルホン酸等の有機酸類等を挙げることが出来、具体的には、メタン、エタン、プロパンなど C_nH_{2n+2} で表される飽和炭化水素、エチレン、プロピレンなど C_nH_{2n} 等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蚁酸、酢酸、プロピオン酸等あるいはこれらの混合物が使用できる。この処理により、雰囲気中に存在する有機物質から、炭素あるいは炭素化合物が素子上に堆積し、素子電流 I_1 , 放出電流 I_2 が、著しく変化するようになる。

【0082】活性化工程の終了判定は、素子電流 I_1 と放出電流 I_2 を測定しながら、適宜行う。なお、パルス幅、パルス間隔、パルス波高値などは適宜設定される。

【0083】炭素及び炭素化合物とは、例えばグラファイト(いわゆるHOPG, PG, GCを包含する、HOPGは完全なグラファイトの結晶構造、PGは結晶粒が200Å程度で結晶構造がやや乱れたもの、GCは結晶粒が20Å程度になり結晶構造の乱れがさらに大きくなつたものを指す。)、非晶質カーボン(アルモファスカーボン及び、アモルファスカーボンと前記グラファイトの微結晶の混合物を指す)であり、その膜厚は、50nm以下の範囲とするのが好ましく、30nm以下の範囲とすることがより好ましい。グラファイトに限らず、炭化水素化合物など炭素化合物を形成しても良い。

【0084】活性化処理としては、上記の炭素あるいは炭素化合物に代えて、金属被膜9を形成しても良い。金属被膜の材質としては、融点の高い物質、仕事関数の低い物質等を用い、真空容器内に金属化合物の蒸気を導入し、素子電極2, 3間にパルス電圧を印加することにより形成される。具体的には、W, Moなどを挙げること 50 ができる、このとき真空容器26内に導入する物質として

は、金属のハロゲン化物、有機化合物などを用いることができる。具体的には、 $TaCl_5$ 、 $MoCl_5$ 、 WF_6 、 $Mo(CO)_6$ 、 $W(CO)_6$ 、 $(PtCl_2)_2(CO)_3$ などを挙げることができる。

【0085】なお、上記炭素、炭素化合物あるいは金属の被膜を形成する活性化工程と、半導体あるいは金属酸化物などの抵抗成分を有する被膜の形成工程は、前後入れ替わっても良い。

【0086】5) このような工程を経て得られた電子放出素子は、安定化工程を行うことが好ましい。この工程は、真空容器内の有機物質を排気する工程である。真空容器を排気する真空排気装置は、装置から発生するオイルが素子の特性に影響を与えないように、オイルを使用しないものを用いるのが好ましい。具体的には、ソーブショーンポンプ、イオンポンプ等の真空排気装置を挙げることが出来る。

【0087】前記活性化の工程で、排気装置として油抜散ポンプやロータリーポンプを用い、これから発生するオイル成分に由来する有機ガスを用いた場合は、この成分の分圧を極力低く抑える必要がある。真空容器内の有機成分の分圧は、上記の炭素あるいは炭素化合物がほぼ新たに堆積しない分圧で $1.3 \times 10^{-6} Pa$ 以下が好ましく、さらには $1.3 \times 10^{-8} Pa$ 以下が特に好ましい。さらに真空容器内を排気するときには、真空容器全体を加熱して、真空容器内壁や、電子放出素子に吸着した有機物質分子を排気しやすくするのが好ましい。このときの加熱条件は、 $80^\circ C$ 以上、好ましくは $150^\circ C$ 以上で、できるだけ長時間処理するのが望ましいが、特にこの条件に限るものではなく、真空容器の大きさや形状、電子放出素子の構成などの諸条件により適宜選ばれる条件により行う。真空容器内の圧力は極力低くすることが必要で、 $1 \times 10^{-5} Pa$ 以下が好ましく、さらに $1.3 \times 10^{-6} Pa$ 以下が特に好ましいが、これに限るものではない。

【0088】安定化工程を行った後の、駆動時の雰囲気は、上記安定化処理終了時の雰囲気を維持するのが好ましいが、これに限るものではなく、有機物質が十分除去されれば、真空度自体は多少低下しても十分安定な特性を維持することが出来る。

【0089】このような真空雰囲気を採用することにより、新たな炭素あるいは炭素化合物の堆積を抑制でき、また真空容器や基板などに吸着した H_2O 、 O_2 などを除去でき、結果として素子電流 I_s 、放出電流 I_r が、安定する。

【0090】以上のようにして作成された本発明の表面伝導型電子放出素子の特性について説明する。

【0091】図7(a)は、図6に示した真空処理装置を用いて測定された放出電流 I_r 、素子電流 I_s と素子電圧 V_s の関係を模式的に示した図である。図7(a)においては、放出電流 I_r が素子電流 I_s に比べて著しく小

さいので、任意単位で示している。なお、縦・横軸ともリニアスケールである。

【0092】図7(a)からも明らかなように、本発明の表面伝導型電子放出素子は、放出電流 I_r に関して三つの特徴的性質を有する。

【0093】即ち、

(i) 本素子はある電圧(しきい値電圧と呼ぶ、図7(a)中の V_{th})以上の素子電圧を印加すると急激に放出電流 I_r が増加し、一方しきい値電圧 V_{th} 以下では放出電流 I_r がほとんど検出されない。つまり、放出電流 I_r に対する明確なしきい値電圧 V_{th} を持った非線形素子である。

【0094】(ii) 放出電流 I_r が素子電圧 V_s に単調増加依存するため、放出電流 I_r は素子電圧 V_s で制御できる。

【0095】(iii) アノード電極25に捕捉される放出電荷は、素子電圧 V_s を印加する時間に依存する。つまり、アノード電極25に捕捉される電荷量は、素子電圧 V_s を印加する時間により制御できる。

【0096】以上の説明より理解されるように、本発明の表面伝導型電子放出素子は、入力信号に応じて、電子放出特性を容易に制御できることになる。この性質を利用すると複数の電子放出素子を配して構成した電子源、画像形成装置等、多方面への応用が可能となる。

【0097】図7(a)においては、素子電流 I_s が素子電圧 V_s に対して単調増加する(以下、「M1特性」という。)例を示した。また、図7(b)のように素子電流 I_s が素子電圧 V_s に対して電圧制御型負性抵抗特性(以下、「VCNR特性」という。)を示す場合もある。これら特性は、前述の工程を制御することで制御できる。

【0098】以上で説明した本発明の表面伝導型電子放出素子の応用の例について説明する。

【0099】本発明の第2の実施態様は、上記第1の実施態様に示された表面伝導型電子放出素子を、基板上に複数配列して形成した電子源と、該電子源と画像形成部材を真空容器に内包させて、構成された画像形成装置である。

【0100】電子放出素子の配列については、種々のものが採用できる。

【0101】一例として、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数個配し(行方向と呼ぶ)、この配線と直交する方向(列方向と呼ぶ)で、該電子放出素子の上方に配した制御電極(グリッドとも呼ぶ)により、電子放出素子からの電子を制御駆動するはしご状配置のものがある。これとは別に、電子放出素子をX方向及びY方向に行列状に複数個配し、同じ行に配された複数の電子放出素子の電極の一方を、X方向の配線に共通に接続し、同じ列に配された複数の電子放出素子の電極の他方を、Y方向の配線に

15

共通に接続するものが挙げられる。このようなものは所謂単純マトリクス配置である。まず単純マトリクス配置について以下に詳述する。

【0102】本発明を適用可能な表面伝導型電子放出素子については、前述したとおり(1)～(iii)の特性がある。即ち、表面伝導型電子放出素子からの放出電子は、しきい値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と巾で制御できる。一方、しきい値電圧以下では、殆ど放出されない。この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子に、パルス状電圧を適宜印加すれば、入力信号に応じて、表面伝導型電子放出素子を選択して電子放出量を制御できる。

【0103】以下この原理に基き、本発明の電子放出素子を複数配して得られる電子源基板について、図8を用いて説明する。図8において、31は電子源基板、32はX方向配線、33はY方向配線である。34は表面伝導型電子放出素子、35は結線である。

【0104】m本のX方向配線32は、D₁₁、D₁₂、…、D_{1n}からなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、巾は、適宜設計される。Y方向配線33は、D₂₁、D₂₂、…、D_{2n}のn本の配線よりも、X方向配線32と同様に形成される。これらm本のX方向配線32とn本のY方向配線33との間には、不図示の層間絶縁層が設けられており、両者を電気的に分離している(m、nは、共に正の整数)。

【0105】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成されたSiO₂等で構成される。例えば、X方向配線32を形成した基板31の全面或は一部に所望の形状で形成され、特に、X方向配線32とY方向配線33の交差部の電位差に耐え得るように、膜厚、材料、製法が、適宜設定される。X方向配線32とY方向配線33は、それぞれ外部端子として引き出されている。

【0106】表面伝導型電子放出素子34を構成する一対の電極(不図示)は、m本のX方向配線32とn本のY方向配線33と導電性金属等からなる結線35によって電気的に接続されている。

【0107】配線32と配線33を構成する材料、結線35を構成する材料及び一対の素子電極を構成する材料は、その構成元素の一部あるいは全部が同一であっても、またそれぞれ異なってもよい。これら材料は、例えば前述の素子電極の材料より適宜選択される。素子電極を構成する材料と配線材料が同一である場合には、素子電極に接続した配線は素子電極ということもできる。

【0108】X方向配線32には、X方向に配列した表面伝導型電子放出素子34の行を、選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、Y方向配線33には、Y方向に配列した表面

16

伝導型電子放出素子34の各列を入力信号に応じて変調するための不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【0109】上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【0110】このような単純マトリクス配置の電子源を用いて構成した画像形成装置について、図9と図10及び図11を用いて説明する。図9は、画像形成装置の表示パネルの一例を示す模式図であり、図10は、図9の画像形成装置に使用される蛍光膜の模式図である。図11は、NTSC方式のテレビ信号に応じて表示を行なうための駆動回路の一例を示すブロック図である。

【0111】図9において、31は電子放出素子を複数配した電子源基板、41は電子源基板31を固定したリアプレート、46はガラス基板43の内面に蛍光膜44とメタルパック45等が形成されたフェースプレートである。42は、支持枠であり該支持枠42には、リアプレート41、フェースプレート46がフリットガラス等を用いて接続されている。47は外囲器であり、例えば大気中あるいは、窒素中で、400～500°Cの温度範囲で10分以上焼成することで、封着して構成される。

【0112】34は電子放出素子、32、33は、表面伝導型電子放出素子の一対の素子電極と接続されたX方向配線及びY方向配線である。

【0113】外囲器47は、上述の如く、フェースプレート46、支持枠42、リアプレート41で構成される。リアプレート41は主に基板31の強度を補強する目的で設けられるため、基板31自体で十分な強度を持つ場合は別体のリアプレート41は不要とすることができる。即ち、基板31に直接支持枠42を封着し、フェースプレート46、支持枠42及び基板31で外囲器47を構成しても良い。一方、フェースプレート46、リアプレート41間に、スペーサーとよばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器47を構成することもできる。

【0114】図10は、蛍光膜を示す模式図である。蛍光膜44は、モノクロームの場合は蛍光体のみから構成することができる。カラーの蛍光膜の場合は、蛍光体の配列によりブラックストライプあるいはブラックマトリクスなどと呼ばれる黒色導電材48と蛍光体49とから構成することができる。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体49間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜44における外光反射によるコントラストの低下を抑制することにある。ブラックストライプの材料としては、通常用いられている黒鉛を主成分とする材料の他、導電性があり、光の透過及び反射が少ない材料を用いることができる。

きる。

【0115】ガラス基板43に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈澱法、印刷法等が採用できる。蛍光膜44の内面側には、通常メタルパック45が設けられる。メタルパックを設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート46側へ鏡面反射させることにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体を保護すること等である。メタルパックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理（通常、「フィルミング」と呼ばれる。）を行い、その後A1を真空蒸着等を用いて堆積させることで作製できる。

【0116】フェースプレート46には、更に蛍光膜44の導電性を高めるため、蛍光膜44の外面側に透明電極を設けてもよい。

【0117】前述の封着を行う際には、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。

【0118】図9に示した画像形成装置の製造方法の一例を以下に説明する。

【0119】図12は、この工程に用いる装置の概要を示す模式図である。画像形成装置61は、排気管62を介して真空チャンバー63に連結され、さらにゲートバルブ64を介して排気装置65に接続されている。真空チャンバー63には、内部の圧力及び雰囲気中の各成分の分圧を測定するために、圧力計66、四重極質量分析器67等が取り付けられている。画像形成装置61の外囲器47内部の圧力などを直接測定することは困難であるため、該真空チャンバー63内の圧力などを測定し、処理条件を制御する。

【0120】真空チャンバー63には、さらに必要なガスを真空チャンバー63内に導入して雰囲気を制御するため、ガス導入ライン68が接続されている。該ガス導入ライン68の他端には導入物質源70が接続されており、導入物質がアンブルやポンベなどに入れて貯蔵されている。ガス導入ラインの途中には、導入物質を導入するレートを制御するための導入制御手段69が設けられている。該導入量制御手段としては具体的には、スローリーカバルブなどのガス流量を制御可能なバルブや、マスフローコントローラなどが、導入物質の種類に応じて、それぞれ使用が可能である。

【0121】図12の装置により外囲器47の内部を排気し、フォーミングを行う。この際、例えば図15に示すように、Y方向配線33を共通電極81に接続し、X方向配線32の内の一つに接続された素子に電源82によって、同時に電圧パルスを印加して、フォーミングを行うことができる。パルスの形状や、処理の終了の判定などの条件は、個別素子のフォーミングについての既述

の方法に準じて選択すればよい。また、複数のX方向配線に位相をずらせたパルスを順次印加（スクロール）することにより、複数のX方向配線に接続された素子をまとめてフォーミングする事も可能である。図中83は電流測定用抵抗を、84は、電流測定用のオシロスコープを示す。

【0122】フォーミング工程終了後、抵抗を有する被膜の形成及び活性化工程を行う。

【0123】該処理は、外囲器内に形成すべき層の材料に対応する適当なソースガスを導入し、各電子放出素子にパルス電圧を印加し、半導体や金属酸化物、炭素ないし炭素化合物あるいは金属の被膜を堆積するものである。配線の方法は上記フォーミング工程と同様に行うことができ、スクロールによるパルス電圧印加を行っても良い。

【0124】外囲器47を加熱して、80~250℃に保持しながら、イオンポンプ、ソーブショーンポンプなどのオイルを使用しない排気装置65により排気管62を通じて排気し、有機物質及び上述の工程で導入した物質を十分に排気した後、排気管をバーナーで熱して溶解させて封じきる。外囲器47の封止後の圧力を維持するために、ゲッター処理を行うこともできる。これは、外囲器47の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等を用いた加熱により、外囲器47内の所定の位置に配置されたゲッター（不図示）を加熱し、蒸着膜を形成する処理である。ゲッターは通常はBa等が主成分であり、該蒸着膜の吸着作用により、外囲器47内の雰囲気を維持するものである。

【0125】次に、単純マトリクス配置の電子源を用いて構成した表示パネルに、NTSC方式のテレビ信号に基づいたテレビジョン表示を行う為の駆動回路の構成例について、図11を用いて説明する。図11において、51は表示パネル、52は走査回路、53は制御回路、54はシフトレジスタである。55はラインメモリ、56は同期信号分離回路、57は変調信号発生器、V_oおよびV_uは直流電圧源である。

【0126】表示パネル51は、端子D_{0,1}乃至D_{0,n}、端子D_{1,1}乃至D_{1,n}及び高圧端子H₁を介して外部の電気回路と接続している。端子D_{0,1}乃至D_{0,n}には、表示パネル内に設けられている電子源、即ち、M行N列の行列状にマトリクス配線された表面伝導型電子放出素子群を一行（N素子）ずつ順次駆動する為の走査信号が印加される。

【0127】端子D_{0,1}乃至D_{0,n}には、前記走査信号により選択された一行の表面伝導型電子放出素子の各素子の出力電子ビームを制御する為の変調信号が印加される。高圧端子H₁には、直流電圧源V_oより、例えば10kVの直流電圧が供給されるが、これは表面伝導型電子放出素子から放出される電子ビームに蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。

【0128】走査回路52について説明する。同回路は、内部にM個のスイッチング素子を備えたもので(図中、S₁ないしS_Mで模式的に示している)ある。各スイッチング素子は、直流電圧源V₁の出力電圧もしくは0[V](グランドレベル)のいずれか一方を選択し、表示パネル51の端子D_{0,1}乃至D_{0,M}と電気的に接続される。S₁乃至S_Mの各スイッチング素子は、制御回路53が送出する制御信号T_{1,1}乃至T_{1,M}に基づいて動作するものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【0129】直流電圧源V₁は、本例の場合には表面伝導型電子放出素子の特性(電子放出しきい値電圧)に基づき走査されていない素子に印加される駆動電圧が電子放出しきい値電圧以下となるような一定電圧を送出するよう設定されている。

【0130】制御回路53は、外部より入力する画像信号に基づいて適切な表示が行われるように各部の動作を整合させる機能を有する。制御回路53は、同期信号分離回路56より送られる同期信号T_{1,1}乃至T_{1,M}に基づいて、各部に対してT_{1,1}乃至T_{1,M}、T_{2,1}乃至T_{2,M}、T_{3,1}乃至T_{3,M}の各制御信号を発生する。

【0131】同期信号分離回路56は、外部から入力されるNTSC方式のテレビ信号から同期信号成分と輝度信号成分とを分離する為の回路で、一般的な周波数分離(フィルター)回路等を用いて構成できる。同期信号分離回路56により分離された同期信号は、垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上T_{1,1}乃至T_{1,M}信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は便宜上DATA信号と表した。該DATA信号はシフトレジスタ54に入力される。

【0132】シフトレジスタ54は、時系列的にシリアルに入力される前記DATA信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路53より送られる制御信号T_{1,1}乃至T_{1,M}に基づいて動作する(即ち、制御信号T_{1,1}は、シフトレジスタ54のシフトクロックであるということもできる。)。シリアル/パラレル変換された画像1ライン分(電子放出素子N素子分の駆動データに相当)のデータは、I_{1,1}乃至I_{1,M}のN個の並列信号として前記シフトレジスタ54より出力される。

【0133】ラインメモリ55は、画像1ライン分のデータを必要時間の間だけ記憶する為の記憶装置であり、制御回路53より送られる制御信号T_{1,1}乃至T_{1,M}に基づいて適宜I_{1,1}乃至I_{1,M}の内容を記憶する。記憶された内容は、I_{1,1}乃至I_{1,M}として出力され、変調信号発生器57に入力される。

【0134】変調信号発生器57は、画像データI_{1,1}乃至I_{1,M}の各々に応じて表面伝導型電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子D_{0,1}乃至D_{0,M}を通じて表示パネル51内の

表面伝導型電子放出素子に印加される。

【0135】前述したように、本発明を適用可能な電子放出素子は放出電流I₀に対して以下の基本特性を有している。即ち、電子放出には明確なしきい値電圧V_{th}があり、V_{th}以上の電圧を印加された時のみ電子放出が生じる。電子放出しきい値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値以下の電圧を印加しても電子放出は生じないが、電子放出閾値以上の電圧を印加する場合には電子ビームが放出される。その際、パルスの波高値V_pを変化させる事により出力電子ビームの強度を制御することが可能である。また、パルスの幅P_pを変化させることにより出力される電子ビームの電荷の総量を制御する事が可能である。

【0136】従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器57として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。

【0137】パルス幅変調方式を実施するに際しては、変調信号発生器57として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0138】シフトレジスタ54やラインメモリ55は、デジタル信号式のものをもアナログ信号式のものをも採用できる。画像信号のシリアル/パラレル変換や記憶が所定の速度で行われれば良いからである。

【0139】デジタル信号式を用いる場合には、同期信号分離回路56の出力信号DATAをデジタル信号化する必要があるが、これには56の出力部にA/D変換器を設ければ良い。これに関連してラインメモリ55の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器57に用いられる回路が若干異なったものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器57には、例えばD/A変換回路を用い、必要に応じて増幅回路などを付加する。パルス幅変調方式の場合、変調信号発生器57には、例えば高速の発振器および発振器の出力する波数を計数する計数器(カウンタ)及び計数器の出力値と前記メモリの出力値を比較する比較器(コンパレータ)を組み合せた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0140】アナログ信号を用いた電圧変調方式の場合、変調信号発生器57には、例えばオペアンプなどを

用いた増幅回路を採用でき、必要に応じてレベルシフト回路などを付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路（VCO）を採用でき、必要に応じて表面伝導型電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。

【0141】このような構成をとり得る本発明の画像形成装置においては、各電子放出素子に、容器外端子D_{0,1}乃至D_{0,2}、D_{0,3}乃至D_{0,4}を介して電圧を印加することにより、電子放出が生ずる。高圧端子H₀を介してメタルパック85、あるいは透明電極（不図示）に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜44に衝突し、発光が生じて画像が形成される。

【0142】ここで述べた画像形成装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号について、NTSC方式を挙げたが入力信号はこれに限られるものではなく、PAL、SECAM方式など他、これよりも、多数の走査線からなるTV信号（例えば、MUSE方式をはじめとする高品位TV）方式をも採用できる。

【0143】次に、はしご型配置の電子源及び画像形成装置について図13及び図14を用いて説明する。

【0144】図13は、はしご型配置の電子源の一例を示す模式図である。図13において、31は電子源基板、34は電子放出素子である。32（D₁～D₁₀）は、電子放出素子34を接続するためのX方向配線である。電子放出素子34は、基板31上に、X方向に並列に複数個配されている（これを素子行と呼ぶ）。この素子行が複数個配されて、電子源を構成している。各素子行の共通配線間に駆動電圧を印加することで、各素子行を独立に駆動させることができる。即ち、電子ビームを放出させたい素子行には、電子放出しきい値以上の電圧を、電子ビームを放出しない素子行には、電子放出しきい値以下の電圧を印加する。又、各素子行間の隣接する配線例えば、D₂とD₃、D₄とD₅、D₆とD₇、D₈とD₉を同一配線とすることもできる。

【0145】図14は、はしご型配置の電子源を備えた画像形成装置におけるパネル構造の一例を示す模式図である。71はグリッド電極、72は電子が通過するための開口、73はD_{0,1}、D_{0,2}、…D_{0,4}よりなる容器外端子である。74は、グリッド電極71と接続されたG₁、G₂、…G₄からなる容器外端子、31は電子源基板である。ここに示した画像形成装置と、図9に示した単純マトリクス配置の画像形成装置との大きな違いは、電子源基板31とフェースプレート46の間にグリッド電極71を備えているか否かである。

【0146】グリッド電極71は、表面伝導型電子放出素子から放出された電子ビームを変調するためのものであり、はしご型配置の素子行と直交して設けられたスト

ライプ状の電極に電子ビームを通過させるため、各素子に対応して1個ずつ円形の開口72が設けられている。グリッドの形状や設置位置は図14に示したものに限定されるものではない。例えば、開口としてメッシュ状に多数の通過口を設けることもでき、グリッドを表面伝導型電子放出素子の周囲や近傍に設けることもできる。

【0147】容器外端子73およびグリッド容器外端子74は、不図示の制御回路と電気的に接続されている。

【0148】本例の画像形成装置では、素子行を1列ずつ順次駆動（走査）していくのと同期してグリッド電極列に画像1ライン分の変調信号を同時に印加する。これにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示することができる。

【0149】本発明の画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピューター等の表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置等としても用いることができる。

【0150】

【実施例】以下実施例に基づき、本発明を説明する。

【0151】【実施例1～6、比較例1～4】本実施例及び比較例の素子は、いずれも図2に示す構造を有するものである。以下、図4に従って、製造方法を説明する。

【0152】工程-a

清浄化した青板ガラス上に0.5μmのシリコン酸化膜をスパッタリング法により形成した基板1上に、所望の電極の形状の開口を有するホトレジスト（RD-2000N-41；日立化成社製）パターンを形成し、真空蒸着法により厚さ5nmのTi、厚さ100nmのNiを順次積層した。この後ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフして、素子電極2、3を形成した。素子電極の間隔Jは3μm、幅Wは300μmである。（図4（a））

工程-b

導電性薄膜12を形成するため、Cr膜のマスクを形成する。素子電極を形成した基板に、真空蒸着法により厚さ300nmのCr膜を堆積、通常のフォトリソグラフィープロセスにより、導電性薄膜のパターンに相当する開口部を設ける。

【0153】これにPdアミン錯体溶液（ccp4230；奥野製薬（株）製）をスピナーにより回転塗布し、大気中300℃12分間の加熱焼成処理を施した。こうして形成された膜は、PdOを主成分とする導電性の微粒子膜で膜厚は7nmであった。

【0154】工程-c

Cr膜をウェットエッティングして除去する。PdO微粒子膜はリフトオフによりバーニングされ所望の形状の導電性薄膜12が形成される。

【0155】導電性薄膜12の抵抗値は、R₁=2×1

23

$0^{\circ}\Omega/\square$ であつた。(図4 (b))

工程-d

上記素子を、図6の測定評価装置に移した。真空容器26内部は排気装置27により 2.7×10^{-3} Paの圧力になるまで排気した後、素子電極2、3の間に電圧を印加しフォーミング処理を施した。これに用いた電圧波形は、図5 (b) に示されたもので、 $T_1 = 1\text{ m sec}$ 、 $T_2 = 10\text{ m sec}$ である。三角波の波高値は 0.1 V ステップで昇圧させた。また一つのフォーミングパルスからつぎのフォーミングパルスの間に、 0.1 V の抵抗測定用パルス(不図示)を印加し、抵抗値をモニタしながらフォーミングを行つた。フォーミング処理は、抵抗値が $1\text{ M}\Omega$ を越えたところで終了した。終了時のフォーミングパルスの波高値(フォーミング電圧)は 5.0 V および 5.1 V であった。

【0156】工程-e

上記素子を図6の真空処理装置に設置し、真空容器26内を排気装置27により一旦排気し、圧力を 1.3×10^{-1} Pa以下としてから、SiH₄を真空層26に導入し、圧力を 1.3×10^{-1} Paとした。さらに、PH₃を微量導入した。この導入量により形成される被膜の抵抗値の制御を行うためである。

【0157】電源21により、素子電極2、3の間にパルス電圧を印加し、低電位側の導電性薄膜4の電子放出部6に臨む端部にSiよりなる被膜7を堆積した。パルス波形は、図5 (a) に示した三角波パルスで、パルス波高値は 20 V 、パルス幅 $T_1 = 100\mu\text{sec}$ 、パルス間隔 $T_2 = 10\text{ m sec}$ とした。

【0158】なお、本実施例及び比較例においては、低電位側の導電性薄膜4の端部にSi被膜を堆積させるため、パルス電圧の極性は電子放出を起こさせる場合とは逆に、低電位側素子電極2に正電位のパルスが印加され、高電位側素子電極3がグランド電位となるようにして処理を行つた。

【0159】処理時間は、各素子の目的とする抵抗値が付加されるよう、予め検討した結果に基づいて決定した。

【0160】Si被膜形成終了後、真空層26内を再び排気し、不図示のヒーターにより $300\text{ }^{\circ}\text{C}$ に加熱し、膜質の安定化を行つた。

【0161】工程-f

真空容器26内にアセトンを導入し、圧力を 1.3×10^{-1} Paとする。素子電極2、3間にパルス電圧を印加し、炭素化合物被膜8を形成する。印加したパルス電圧

24

は、図5 (a) に示すような波高値 16 V の三角波パルスで、パルス幅 $T_1 = 1\text{ m sec}$ 、パルス間隔 $T_2 = 10\text{ m sec}$ とした。パルスの発生は、電子放出の場合と同様とした。パルス印加を30分行いこの処理を終了した。炭素化合物被膜は主に高電位側の導電性薄膜5の電子放出部6に臨む端部に堆積する。

【0162】工程-g

つづいて、安定化工程を行う。

【0163】真空容器26内を排気して、圧力 1.3×10^{-6} Pa以下とする。つづいて、素子を $250\text{ }^{\circ}\text{C}$ に加熱すると、真空容器内の圧力が上昇するので、引き続き排気を続ける。加熱を24時間続けたところ、圧力が 1.3×10^{-6} Pa以下となったので、加熱を終了した。

【0164】上記のようにして作成した実施例及び比較例の素子の電子放出特性の評価を行つた。I₁測定の前に、I₁₀の測定を行い、上記の工程-eを省略して作成した比較例1の素子と比較してSi被膜7による付加抵抗値の値を確認した。図16を用いて説明する。

【0165】以上の素子に炭素化合物の堆積された導電性薄膜5の側が高電位側となるように三角波パルスを印加して、V₁-I₁特性を測定する。比較例1に対する測定結果が図の実線のようになる。パルス波高値V₁₀=14V、これに対応するI₁の値はI₁₀=1.2mAであった。つぎに測定対象の素子に対し、同様に三角波パルス電圧を印加するが、このとき観測されるI₁のピーク値を観測しながら徐々にパルス電圧の波高値を上昇させ、I₁のピーク値が、V₁₀に等しくなる様にする。このときの波高値をV₁₁とする。△V₁=V₁₁-V₁₀が、付加抵抗による電圧降下と考えられるので、付加抵抗値は、R_{ad}=△V₁/I₁₀として求められる。

【0166】I₁の測定は、矩形波パルスを印加し、連続した600パルスに対するI₁の平均値<I₁>とバラツキの幅△I₁を求めた。矩形波パルスの波高値は、上記で各素子に対して求めたV₁₁を用い、パルスT₁=100μsec、パルス間隔T₂=10msecとした。素子とアノード電極25の間隔はH=4mm、素子とアノード電極の間の電位差はV₁=1kVとした。

【0167】<I₁>の値はいずれの素子に対しても1.1μAであった。各素子に対するR_{ad}及び(△I₁/<I₁>)及び(△I₁/<I₁>)の測定結果を、表1に示す。

【0168】

【表1】

素子	$R_{sd} (\Omega)$	$\Delta I_e / < I_e > (\%)$	$\Delta I_e / < I_r > (\%)$
比較例1	0	10.5	11.2
比較例2	83	9.5	9.9
比較例3	167	8.5	8.7
比較例4	333	8.0	7.8
実施例1	500	7.0	7.2
実施例2	667	6.2	6.0
実施例3	1000	5.1	5.2
実施例4	2000	3.5	3.5
実施例5	3000	2.5	2.2
実施例6	5000	1.8	1.8
実施例7	10000	1.0	1.2

【実施例8】本実施例の表面伝導型電子放出素子は、実施例3における、工程-eと工程-fの順序を逆転して作成した。結果は、実施例3と同様の効果が得られた。

【0169】【実施例9】実施例1～7の工程-a～dまでと同様の工程を行う。つづいて
工程-e

真空容器26内に、酸素をキャリアガスとしたジメチルアルミニウムハイドライドを導入し、圧力を $1.3 \times 10^{-1} \text{ Pa}$ とした。実施例1～6の工程-eと同様のパルス電圧を印加し、アルミニウム酸化物の被膜7を形成した。

【0170】工程-f

実施例1～7の工程-fと同様にして、炭素化合物被膜8を形成した。

【0171】工程-g

実施例1～7の工程-gと同様にして安定化工程を行った。

【0172】実施例1～7と同様にして測定を行ったところ $\Delta I_e / < I_e > = 5.0\%$ であった。

【0173】【実施例10、比較例5】実施例1～7の工程-dまでと同様の工程を行う。つづいて
工程-e

真空容器内に実施例3と同様に SiH_4 及び微量の PH_3 を導入し、素子にパルス電圧を印加する。ただし、図17の様に、パルスの極性を1パルス毎に反転した。 T_1, T_2 の値およびパルス波高値は実施例3と同様である。比較例5に対してはこの工程は省略した。

【0174】工程-f

真空容器26内を一旦排気した後、 WF_6 を導入、圧力を $1.3 \times 10^{-1} \text{ Pa}$ とし、パルス電圧を30分間印加した。パルスの極性は電子放出させる場合とは逆の極性で、主に低電位側の導電性薄膜4の電子放出部6にWよりなる被膜9を形成した。パルス波高値は18.0Vとした。

【0175】以上のようにして作成した素子に対し、実

施例1～7と同様の方法で、特性の測定を行った。 $\Delta I_e / < I_e >$ の値は、実施例9の素子が4.9%、比較例5の素子が10.3%であった。

【0176】本実施例の素子と実施例3の素子とを、同時に長時間続けて電子放出させ、比較したところ、本実施例の方が、電子放出量の低下が小さかった。実施例3の炭素化合物よりなる被膜に替わり、Wよりなる被膜を形成した効果であろうと思われる。

【0177】【実施例11】本実施例は、上記実施例で示した素子と類似の構成の表面伝導型電子放出素子を多数基板上に配置し、マトリクス状に配線した電子源及びこれを用いた画像形成装置の例である。

【0178】電子源の一部の平面図を図18に示す。また図中のA-A'断面図を図19に、製造手順を図20、図21に示す。

【0179】ここで1は基板、32はX方向配線、33はY方向配線、2、3は素子電極、6は電子放出部である。91は層間絶縁層、92は素子電極3とX方向配線32の電気的接続のためのコンタクトホールである。

【0180】次に製造方法を図20及び図21を使って工程順に従って具体的に説明する。なお、各工程A～Hは図20、図21の(A)～(H)に対応する。

【0181】工程-A

清浄化した青板ガラス上に厚さ $0.5 \mu\text{m}$ のシリコン酸化膜をスパッタ法で形成した基板1上に、真空蒸着法により、厚さ 5 nm のCr、厚さ 600 nm のAuを順次積層した後、フォトレジスト(AZ1370；ヘキスト社製)をスピナーにより回転塗布し、ペークした後、フォトマスク像を露光、現像してX方向配線のパターンを形成し、Au/Cr堆積膜をウェットエッチングしたのちレジストパターンを除去して所望の形状のX方向配線32を形成した。

【0182】工程-B

次に厚さ $1.0 \mu\text{m}$ のシリコン酸化膜からなる、層間絶縁層91をRFスパッタ法により堆積した。

【0183】工程-C

工程-Bで堆積したシリコン酸化膜にコンタクトホール92を形成するためのホトレジストパターンを形成し、これをマスクとして層間絶縁層91をエッティングしてコンタクトホール92を形成した。エッティングはCF₄とH₂ガスを用いたRIE(Reactive Ion Etching)法によった。

【0184】工程-D

その後、素子電極2、3と素子電極間ギャップGとなるべきパターンをホトレジスト(RD-2000N-41;日立化成社製)で形成し、真空蒸着法により、厚さ5nmのTi、厚さ100nmのNiを順次堆積した。フォトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし、素子電極間隔G=3μm、幅W1=300μmの素子電極2、3を形成した。

【0185】工程-E

Y方向配線のホトレジストパターン(ネガパターン)を形成した後、厚さ5nmのTi、厚さ500nmのAuを順次真空蒸着により堆積し、リフトオフにより不要な部分を除去して、所望の形状のY方向配線33を形成した。

【0186】工程-F

次に、膜厚100nmのCr膜94を真空蒸着により堆積、導電性薄膜に所望の形状の開口部を有するようにパターンングし、その上にPdアミン錯体溶液(ccp4-230)をスピナーにより回転塗布、300℃10分間の加熱焼成処理を施してPdO微粒子よりなる導電性薄膜95を形成した。この膜の膜厚は10nmであった。

【0187】工程-G

Cr膜94をエッチャントを用いてウェットエッティングしてPdO微粒子よりなる導電性膜95の不要部分とともに除去し、所望の形状の導電性薄膜12を形成した。その抵抗値は平均でR₁の値は5×10⁴Ω/□であった。

【0188】工程-H

コンタクトホール92部分以外にレジストパターンを形成し、真空蒸着により厚さ5nmのTi、厚さ500nmのAuを順次堆積した。リフトオフにより不要な部分を除去することにより、コンタクトホールを埋め込んだ。

【0189】工程-I

以下の工程は、図9及び図10を参照しながら説明する。

【0190】電子源基板31をリアプレート41上に固定した後、基板31の5mm上方に、フェースプレート46(ガラス基板43の内面に蛍光膜44とメタルバック45が形成されて構成される)を支持枠42を介し配置し、フェースプレート46、支持枠42、リアプレート41の接合部にフリットガラスを塗布し、大気中40

0℃で10分焼成して封着した。またリアプレート41への基板31の固定もフリットガラスで行った。

【0191】蛍光膜44は、モノクロームの場合は蛍光体のみから成るが、本実施例では蛍光体はストライプ形状(図10(a))を採用し、先にブラックストライプ48を形成し、その間隙部に各色蛍光体49を塗布し、蛍光膜44を作製した。ブラックストライプの材料として通常良く用いられている黒鉛を主成分とする材料を用いた。ガラス基板43に蛍光体を塗布する方法はスラリ一法を用いた。

【0192】また、蛍光膜44の内面側にはメタルバック45が設けられる。メタルバック45は、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理(通常フィルミングと呼ばれる)を行い、その後、A1を真空蒸着することで作製した。

【0193】フェースプレート46には、更に蛍光膜44の導伝性を高めるため、蛍光膜44の外側に透明電極が設けられる場合もあるが、本実施例では、メタルバックのみで十分な導伝性が得られたので省略した。

【0194】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはいけないため、十分な位置合わせを行った。

【0195】工程-J

この素子を図12の真空処理装置にセットし、真空チャンバー63内に排気し圧力を2.6×10⁻³Pa以下とした。フォーミング処理に用いた配線方法を図22に示す。96はパルス発生器でこれにより発生したパルスは、ライン選択部97により選択されたX方向配線32の内のいずれかに印加される。両者は制御部98により制御される。電子源99のY方向配線33は、共通結線されグランドに接続される。図中太い線はコントロールライン、細い線は配線を示す。印加した電圧パルスの波形は、図5(b)に示した波高値の漸増する三角波パルスである。実施例1の場合と同様に三角波パルスのインターパルに波高値0.1Vの矩形波パルスを挿入して、各素子行の抵抗値を求め、これが1素子あたり1MΩを越えたところで、そのラインのフォーミングを終了し、ライン選択部のスイッチを切り替え、次のラインの処理に移った。フォーミング終了時のパルス波高値は、いずれのラインでも約7.0Vであった。

【0196】工程-K

外囲器47内に、排気管62と真空チャンバー63を介し、ジメチルアルミニウムハイドライドをキャリアガスである酸素とともに導入、圧力を1.3×10⁻¹Paとした。フォーミング処理と同様な配線を用いて、パルスを印加することにより、アルミニウム酸化物の被膜を形成した。パルス波高値は14Vとし、図17の様な極性が交互に変化する三角波パルスを用いた。

【0197】工程-L

50 外囲器47内を一旦排気した後、MoF₆を導入、圧力

を 1.3×10^{-1} Pa とした。工程-K と同様のパルスの印加を 30 分間行い、Mo よりなる被膜 9 を形成した。

【0198】工程-M

外囲器 47 内を排気し、圧力を 1.3×10^{-1} Pa とした後、排気管 62 をバーナーで加熱して溶着、外囲器を封じきった。最後に外囲器内に設置したゲッター（不図示）を高周波加熱法により加熱しゲッター処理を行った。

【0199】以上のようにして作製した画像形成装置により、良好な画像を表示することができた。

【0200】【実施例 12】図 23 は上記実施例の画像形成装置（ディスプレイパネル）に、たとえばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した表示装置の一例を示すための図である。図中 101 はディスプレイパネル、102 はディスプレイパネルの駆動回路、103 はディスプレイコントローラ、104 はマルチブレクサ、105 はデコーダ、106 は入出力インターフェース回路、107 は CPU、108 は画像生成回路、109 および 110 および 111 は画像メモリーインターフェース回路、112 は画像入力インターフェース回路、113 および 114 は TV 信号受信回路、115 は入力部である。（なお、本表示装置は、たとえばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカーなどについては説明を省略する。）

以下、画像信号の流れに沿って各部の機能を説明していく。

【0201】まず、TV 信号受信回路 114 は、たとえば電波や空間光通信などのような無線伝送系を用いて伝送される TV 画像信号を受信する為の回路である。受信する TV 信号の方式は特に限られるものではなく、たとえば、NTSC 方式、PAL 方式、SECAM 方式などの諸方式でもよい。また、これらよりさらに多数の走査線よりなる TV 信号（たとえば MUSE 方式をはじめとするいわゆる高品位 TV）は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV 信号受信回路 114 で受信された TV 信号は、デコーダ 105 に出力される。

【0202】また、TV 信号受信回路 113 は、たとえば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送される TV 画像信号を受信するための回路である。前記 TV 信号受信回路 114 と同様に、受信する TV 信号の方式は特に限られるものではなく、また本回路で受信された TV 信号もデコーダ 105 に出力される。

【0203】また、画像入力インターフェース回路 11 50

2 は、たとえば VTR カメラや画像読み取りスキャナーなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ 105 に出力される。

【0204】また、画像メモリーインターフェース回路 111 は、ビデオテープレコーダー（以下 VTR と略す）に記載されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ 105 に出力される。

【0205】また、画像メモリーインターフェース回路 110 は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ 105 に出力される。

【0206】また、画像メモリーインターフェース回路 109 は、いわゆる静止画像ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ 105 に入力される。

【0207】また、入出力インターフェース回路 106 20 は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンターなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備える CPU 107 と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0208】また、画像生成回路 108 は、前記入出力インターフェース回路 106 を介して外部から入力される画像データや文字・図形情報や、あるいは CPU 107 30 より出力される画像データや文字・図形情報に基づき表示用画像データを生成するための回路である。本回路の内部には、たとえば画像データや文字・図形情報を蓄積するための書き換え可能メモリーや、文字コードに対応する画像パターンが消え去れている読み出し専用メモリーや、画像処理を行うためのプロセッサーなどをはじめとして画像の生成に必要な回路が組み込まれている。

【0209】本回路により生成された表示用画像データは、デコーダ 105 に出力されるが、場合によっては前記入出力インターフェース回路 106 を介して外部のコンピュータネットワークやプリンターに出力することも可能である。

【0210】また、CPU 107 は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。

【0211】たとえば、マルチブレクサ 104 に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合せたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ 103 に対して制御信号を発生し、画面表示周波数や走査方法（たとえばインターレースかノンインターレ

スか) や一画面の走査線の数など表示装置の動作を適宜制御する。

【0212】また、前記画像生成回路108に対して画像データや文字・图形情報を直接出力したり、あるいは前記出入力インターフェース回路106を介して外部のコンピュータやメモリーをアクセスして画像データや文字・图形情報を入力する。なお、CPU107は、むろんこれ以外の目的の作業にも関わるものであっても良い。たとえば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。あるいは、前述したように出入力インターフェース回路106を介して外部のコンピュータネットワークと接続し、たとえば数値計算などの作業を外部機器と協同して行っても良い。

【0213】また、入力部115は、前記CPU107に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、たとえばキーボードやマウスのほか、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いる事が可能である。

【0214】また、デコーダ105は、前記108ないし114より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に逆変換するための回路である。なお、同図中に点線で示すように、デコーダ105は内部に画像メモリーを備えるのが望ましい。これは、たとえばMUSE方式をはじめとして、逆変換するに際して画像メモリーを必要とするようなテレビ信号を扱うためである。また、画像メモリーを備える事により、静止画の表示が容易になる、あるいは前記画像生成回路108およびCPU107と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生まれるからである。

【0215】また、マルチブレクサ104は、前記CPU107より入力される制御信号に基づき表示画像を適宜選択するものである。すなわち、マルチブレクサ104はデコーダ105から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路102に出力する。その場合には、一画面表示時間内で画像信号を切り替えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0216】また、ディスプレイパネルコントローラ103は、前記CPU107より入力される制御信号に基づき駆動回路102の動作を制御するための回路である。

【0217】まず、ディスプレイパネルの基本的な動作に関わるものとして、たとえばディスプレイパネルの駆動用電源(図示せず)の動作シーケンスを制御するための信号を駆動回路102に対して出力する。また、ディスプレイパネルの駆動方法に関わるものとして、たとえ

ば画面表示周波数や走査方法(たとえばインターレースかノンインターレースか)を制御するための信号を駆動回路102に対して出力する。

【0218】また、場合によっては表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路102に対して出力する場合もある。

【0219】また、駆動回路102は、ディスプレイパネル101に印加する駆動信号を発生するための回路であり、前記マルチブレクサ104から入力される画像信号と、前記ディスプレイパネルコントローラ103より入力される制御信号に基づいて動作するものである。

【0220】以上、各部の機能を説明したが、図23に示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル101に表示する事が可能である。すなわち、テレビジョン放送をはじめとする各種の画像信号はデコーダ105において逆変換された後、マルチブレクサ104において適宜選択され、駆動回路102に入力される。一方、ディスプレイパネルコントローラ103は、表示する画像信号に応じて駆動回路102の動作を制御するための制御信号を発生する。駆動回路102は、上記画像信号と制御信号に基づいてディスプレイパネル101に駆動信号を印加する。これにより、ディスプレイパネル101において画像が表示される。これらの一連の動作は、CPU107により統括的に制御される。

【0221】

【発明の効果】以上説明したように、本発明により、安定な電子放出特性を有する電子放出素子及びこれを多数集積した電子源を得ることができ、また良好な画像を表示する画像形成装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の電子放出素子の電子放出部の構成の例を示す模式図である。

【図2】本発明に係る平面型表面伝導型電子放出素子の構成を模式的に示す図である。

【図3】本発明に係る垂直型表面伝導型電子放出素子の構成を模式的に示す断面図である。

【図4】本発明の製造工程を説明するための模式図である。

【図5】本発明の電子放出素子の製造工程において、素子電極間に印加する電圧パルスの波形を説明するための図である。

【図6】本発明の素子の製造及び特性評価に用いた真空処理装置の概略を示す模式図である。

【図7】本発明の表面伝導型電子放出素子の電子放出特性を説明するための図である。

【図8】マトリクス配線の電子源の構成を示す模式図である。

【図9】マトリクス配線の電子源を用いた画像表示装置

の構成を示す模式図である。

【図10】蛍光膜の構成を説明するための模式図である。

【図11】マトリクス配線の電子源を用いた画像表示装置により、NTSC信号による画像信号を表示する装置のブロック図である。

【図12】画像表示装置の制作に用いた真空処理装置の構成を示す模式図である。

【図13】はしご型配線の電子源の構成を示す模式図である。

【図14】はしご型配線の電子源を用いた画像表示装置の構成を示す模式図である。

【図15】電子源のフォーミング処理方法を説明するための図である。

【図16】抵抗成分を有する被膜により付加された抵抗値を測定する方法を説明するための図である。

【図17】本発明の制作のために用いたパルス電圧の波形を説明するための図である。

【図18】マトリクス配線の電子源の一部の構成を模式的に示す平面図である。

【図19】図18のA-A'に沿った断面の構成を示す模式図である。

【図20】マトリクス配線の電子源の製造工程を説明する模式図である。

【図21】Sマトリクス配線の電子源の製造工程を説明する模式図である。

【図22】本発明の実施例11において、フォーミングなどの処理に用いた回路を示すブロック図である。

【図23】本発明の画像表示装置を用いた、画像表示システムの構成を示すブロック図である。

【図24】M. ハートウェルによる従来の素子の構成を示す模式図である。

【符号の説明】

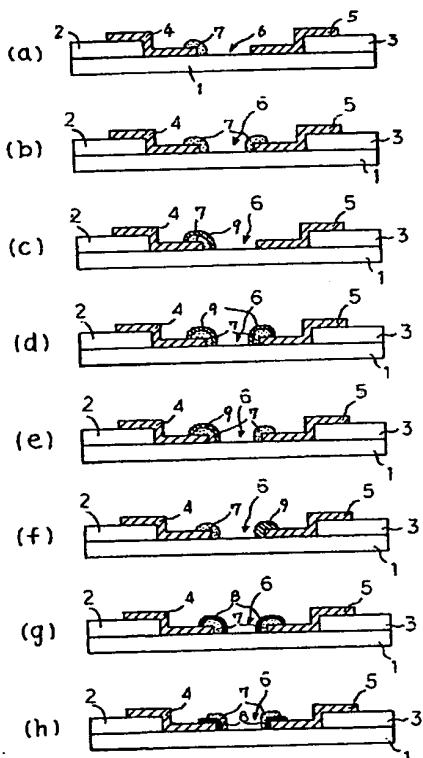
- 1 基板
- 2, 3 素子電極
- 4, 5 導電性薄膜
- 6 電子放出部
- 7~9 被膜
- 11 段差形成部
- 12 導電性薄膜
- 21 電源
- 22 電流計
- 23 高圧電源
- 24 電流計
- 25 アノード電極
- 26 真空容器
- 27 排気ポンプ
- 28 物質源
- 29 バルブ
- 31 基板

3 2	X方向配線
3 3	Y方向配線
3 4	電子放出素子
3 5	結線
4 1	リアプレート
4 2	支持枠
4 3	ガラス基板
4 4	蛍光膜
4 5	メタルパック
10 4 6	フェースプレート
4 7	外囲器
4 8	黒色導電材
4 9	蛍光体
5 1	表示パネル
5 2	走査回路
5 3	制御回路
5 4	シフトレジスタ
5 5	ラインメモリ
5 6	同期信号分離回路
20 5 7	変調信号発生器
6 1	画像表示装置
6 2	排気管
6 3	真空チャンバー
6 4	ゲートバルブ
6 5	排気装置
6 6	圧力計
6 7	Q-mass
6 8	ガス導入ライン
6 9	ガス導入制御装置
30 7 0	導入物質源
7 1	グリッド電極
7 2	開口
7 3, 7 4	容器外端子
8 1	共通電極
8 2	電源
8 3	電流測定用抵抗
8 4	オシロスコープ
9 1	層間絶縁層
9 2	コンタクトホール
40 9 6	パルス発生器
9 7	ライン選択部
9 8	制御部
9 9	電子源
10 1	ディスプレイパネル
10 2	駆動回路
10 3	ディスプレイパネルコントローラ
10 4	マルチブレクサ
10 5	デコーダ
10 6	入出力インターフェース回路
50 10 7	CPU

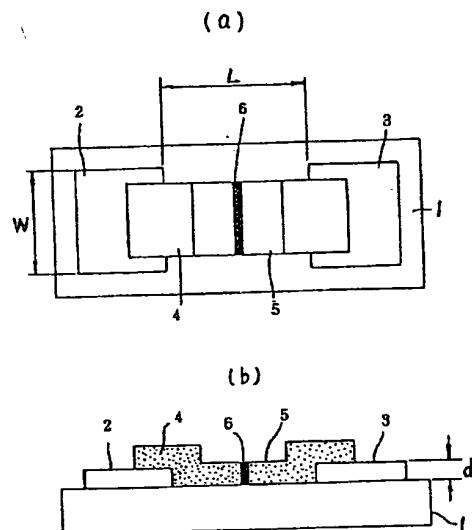
108 画像生成回路
 109~111 画像メモリーインターフェース回路
 112 画像入力インターフェース回路
 113, 114 TV信号受信回路

115 入力部
 201 基板
 202 導電性薄膜
 203 電子放出部

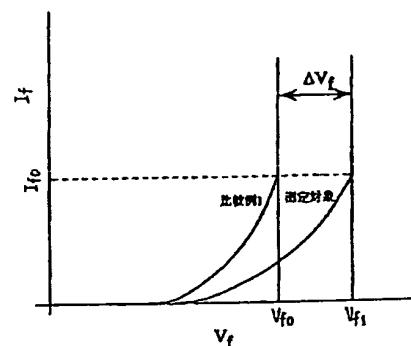
【図1】



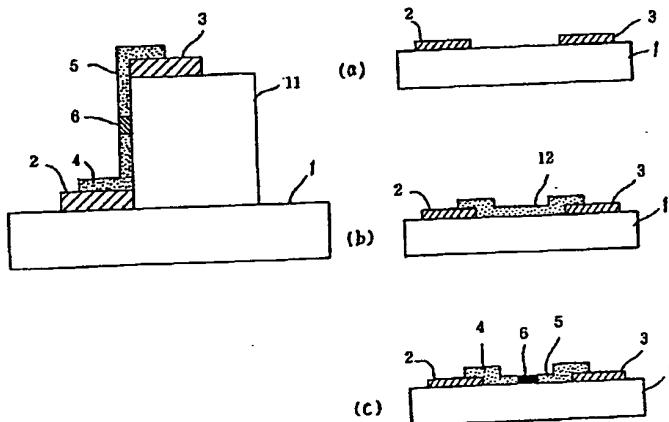
【図2】



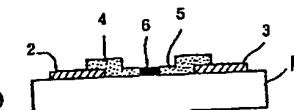
【図16】



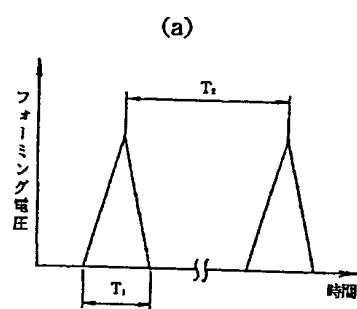
【図3】



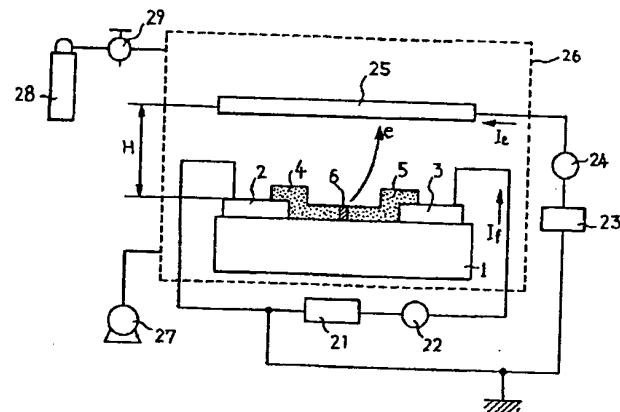
【図4】



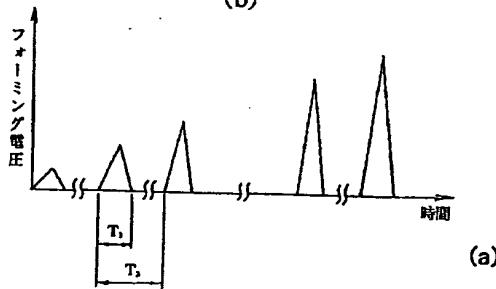
【図5】



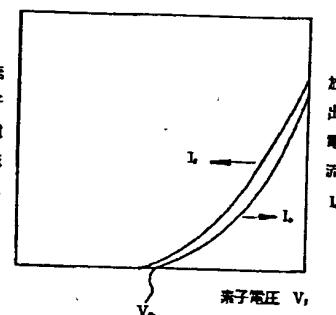
【図6】



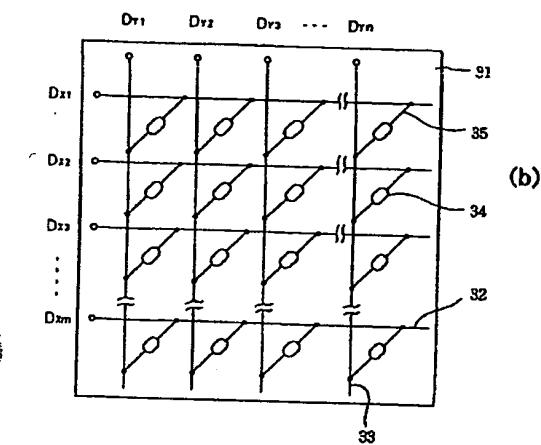
(b)



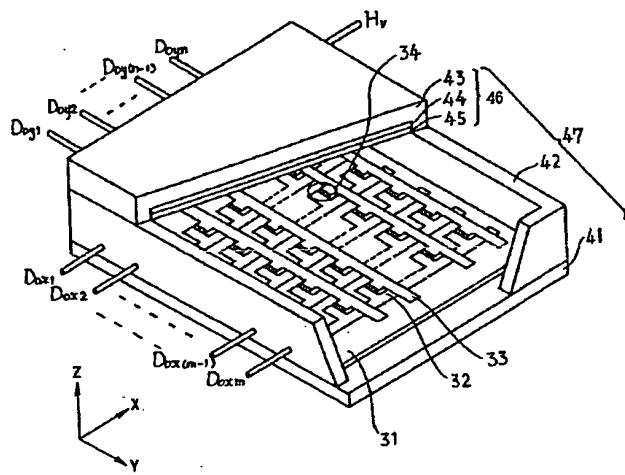
【図7】



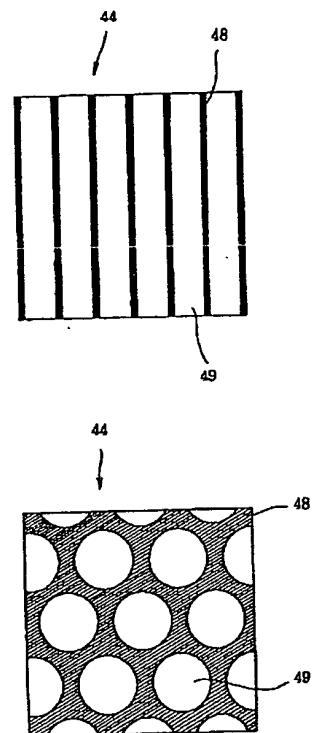
【図8】



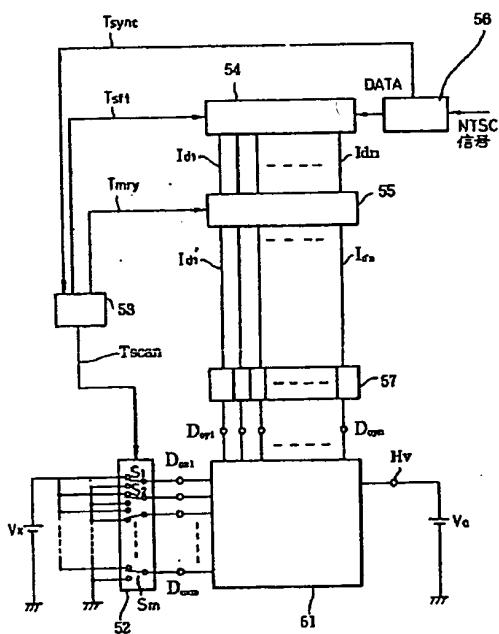
【図9】



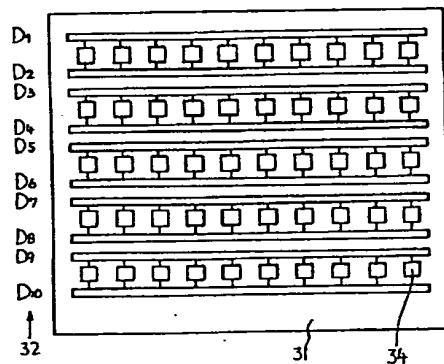
【図10】



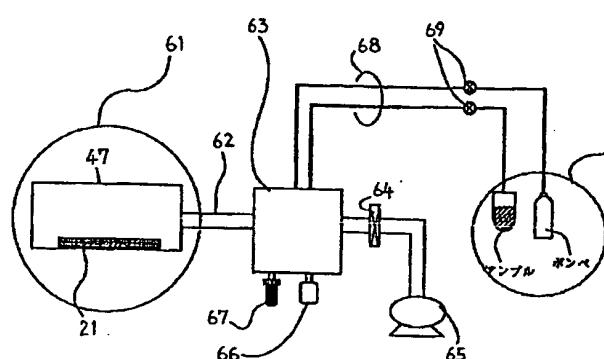
【図11】



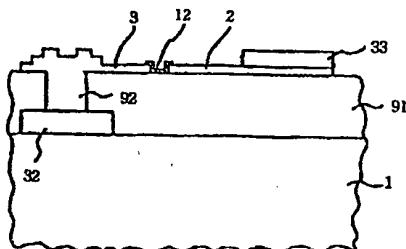
【図13】



【図12】

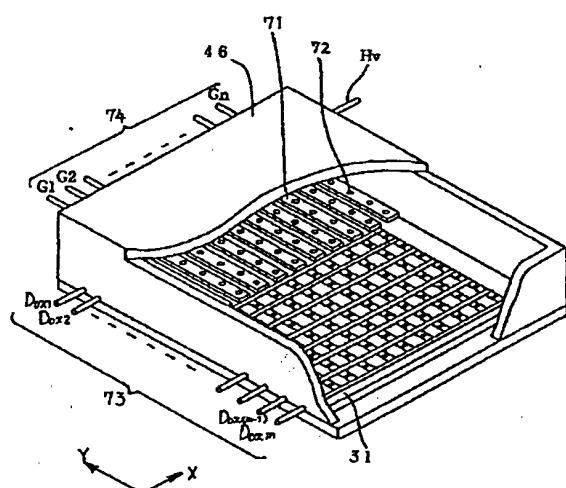


【図19】

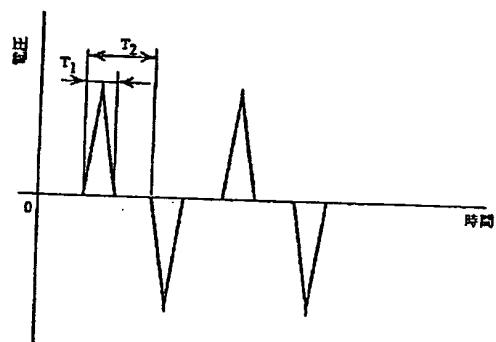


A-A' 断面図

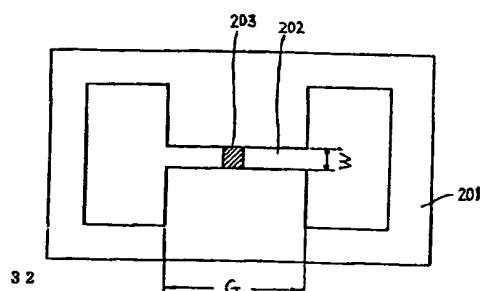
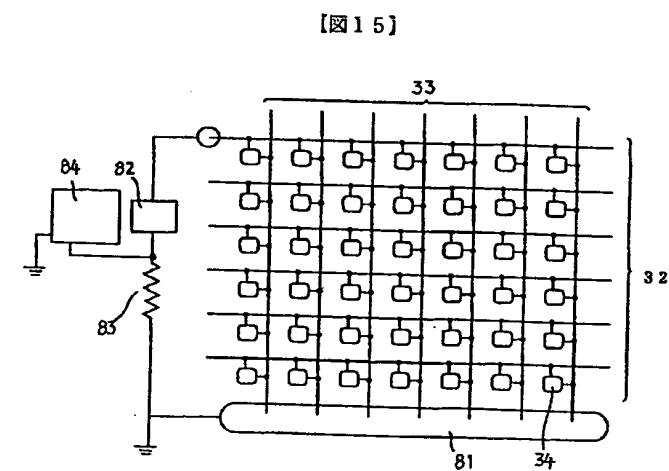
【図14】



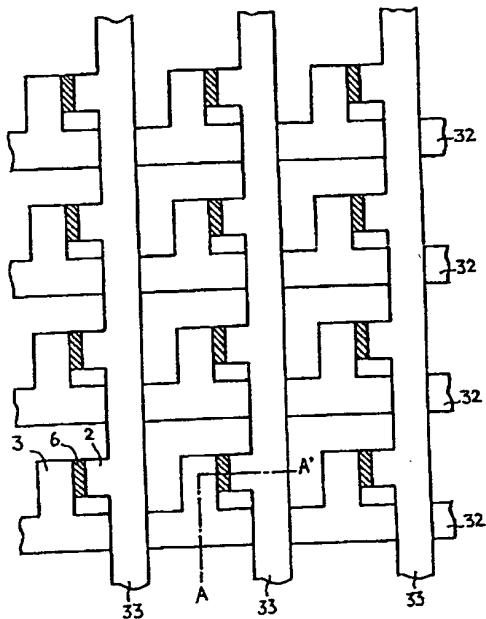
【図17】



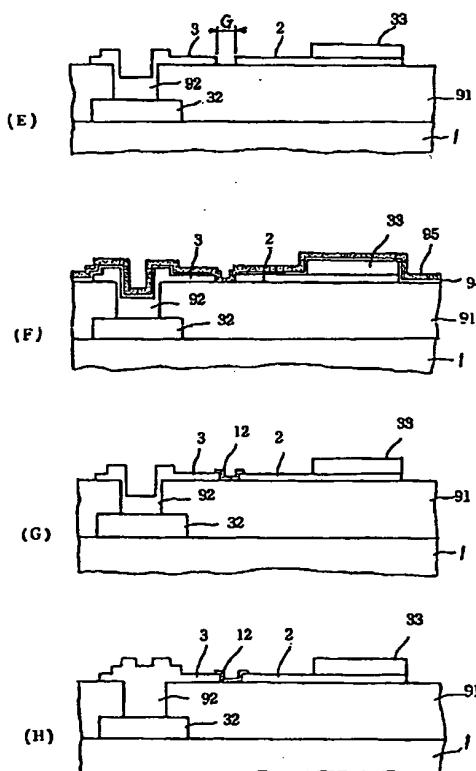
【図24】



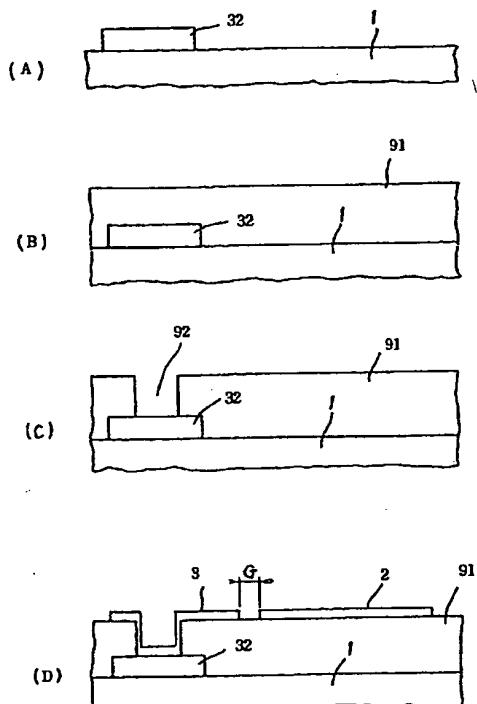
【図18】



【図21】



【図20】



【図22】

